

一种可支持硬件触发机制的灵活可配 PWM IP 核的设计与实现

翁崇杰¹,熊晓明¹,马 德²

(1 广东工业大学 自动化学院,广东 广州 510000;2 杭州电子科技大学 微电子 CAD 所,浙江 杭州 310000)

摘 要:提出了一种具有高可配性、高实时性和较强适用性等特点的脉冲宽度调制 IP 核的设计.该 PWM 模块不仅可支持片上系统内硬件触发反馈机制,以加强片内 IP 核之间的互联性,而且还提供了模块内部资源共享的实现方案.仿真验证的结果表明:此模块可支持多种输出模式,且其硬件触发的消耗时间比传统的软件触发的时间少了两倍多.因此,该模块可满足可配性高、适用性强和实时性高等设计需求,达到了设计预期的目的.

关键词:可配性;实时性;适用性;硬件触发;资源共享;仿真验证

中图分类号: TN402

文献标识码: A

文章编号: 1000—7180(2016)07—0154—05

Design and Implement of a Configurable PWM IP Core With Hardware Trigger Mechanism

WENG Chong-jie¹,XIONG Xiao-ming¹,MA De²

(1 School of Automation, Guangdong University of Technology, Guangzhou 510000, China;

2 CAD Institute of Microelectronics, Hangzhou Dianzi University, Hangzhou 310000, China)

Abstract: A pulse width modulation (PWM) IP core that having the advantages in configuration, instantaneity and applicability is proposed in this paper. Not only does the PWM IP core support hardware trigger and feedback mechanism for enhancing interconnection among IP cores in the System-on-a-Chip (SoC), but it can also offer a practical scheme with resource reuse inside the PWM IP core. Finally, according to comparative and analytical results of simulation and verification, they indicate that PWM IP core can support multiple output modes, and consuming time of hardware trigger is two times less than traditional software trigger's by building environment of simulation, editing excitation of test and using tools of simulation. In conclusion, it can meet needs of different configuration, high instantaneity and efficient applicability for achieving design's aim.

Key words: configuration;instantaneity;applicability;Hrdware trigger;resource reuse;simulation and verification

1 引言

随着科学技术的迅猛发展,针对不同的应用场合,SoC 中会配有各种各样功能的 IP 核,以满足不同工作领域的需求.而在电机控制和开关电源变频控制等领域中,PWM(Pulse Width Modulation)核始终在这些领域中扮演着至关重要的角色^[1].

PWM 控制技术以其控制简单、灵活、抗噪能力强和动态响应好的优点而成为电力电子技术中最为

广泛应用的控制方式,能广泛应用于从测量、通信到功率控制与变换的众多领域中.虽然目前市场上的 PWM 模块通用性比较强,但是某些方面依然不能满足电力电子方面领域的应用需求,比如其可配性不高,实时性低和适用性不强^[2],这些缺点都限制了通用 PWM 核的应用场合.

为了解决目前的 PWM IP 核在可配性、实时性和适应性方面面临的挑战,本文提出了一种基于硬件互联触发机制的 PWM 模块的设计.

2 PWM IP 核的总体架构设计

本文设计的 PWM 核可适用于一般的电力电子应用场合,但对比之前传统的通用性 PWM 核具有更高的可配性,比如死区时间的延迟、产生中断方式和 PWM 信号模式等设置. 我们只需通过 APB 总线对 PWM 模块进行相应的读写操作,即可产生所需的 PWM 信号.

PWM 模块的结构图如图 1 所示. 此 IP 核分为三个大模块,分别是 APB 接口模块、PWM 控制模块和 PWM 发生模块,而 PWM 发生模块又分为触发器、计数器、比较器、中断发生模块、死区插入模块、PWM 输出模块和保护监测模块等这七个小模块,如图 2 所示.

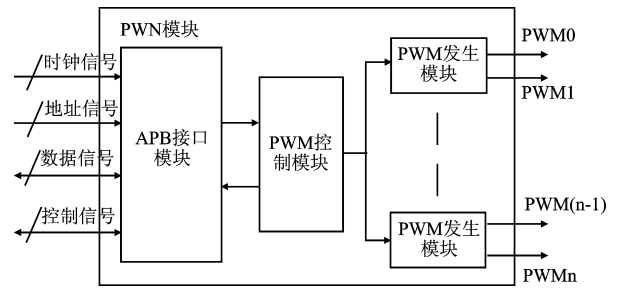


图 1 PWM 核的总体架构图

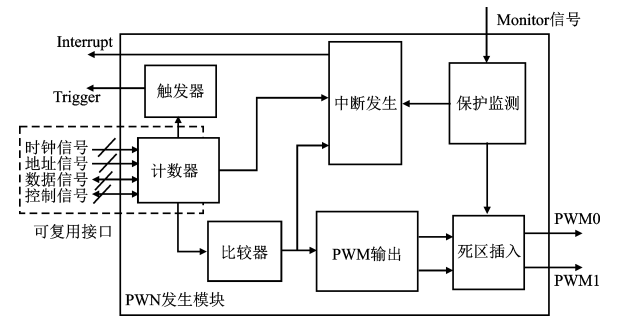


图 2 PWM 发生模块的具体设计图

APB 接口模块的接口信号较为简单灵活,可根据不同的设计来实现一些特殊功能. 该模块的功能配置寄存器是接收来自 CPU 所需的配置信息. CPU 可通过 APB 总线和 APB 接口模块,访问到 PWM 核内的所有定义的可读写寄存器,完成对其可读写寄存器的读写功能.

PWM 控制模块作用是控制 PWM 模块的输出模式,有 PWM 信号输出模式和输出比较模式这两个模式可选择,可运用于不同的应用场合. 这个要根据功能需求来确定 PWM 模块处于哪种模式下,并且两种模式之间有优先级顺序,在此设计中,其中以 PWM 信号输出模式优先级最高.

PWM 发生模块能根据不同的工作模式,会有对应的处理方式. 在 PWM 信号输出模式下,PWM 发生模块会产生一对 PWM 信号. 然而,PWM 信号可能会出现毛刺现象,输出后面可以考虑加一级触发器来消除毛刺^[3];而在输出比较模式下,PWM 发生模块会发生一次中断请求.

计数器的最大值可在数据寄存器里设置. 计数器可根据不同波形模式,例如三角形波或者锯齿波形,从而导致其计数方式的不同.

中断发生模块主要是用于产生中断请求信号. 计数器计数到设置值的标志信号,输出比较模式和 PWM 输出模式下计数器计数到计满或者归零时的标志信号,还有保护监测模块发出的中断信号等等,这些标志信号都可使中断发生模块产生一个中断请求信号,以通知 CPU 去处理其他事件,也可通过清除中断或者关闭中断使能信号来屏蔽中断请求的输出.

触发器可产生触发信号,用于输出到片上的其他 IP 模块,或者输出到片外以触发驱动片外的外设. 这种硬件直接触发机制有利于系统实时性的提高.

比较器是为了使得输入的三角形波或者锯齿形波经处理后变成方波输出. 处理方式如下所示:方波的占空比可以通过设置计数器的匹配值来确定的. 当计数器从 0 计数到设置好的匹配值时,输出的 PWM 波形为 0(低电平);当计数器从设置好的匹配值计数到最大值时,输出的 PWM 波形为 1(高电平),经处理后可形成一段连续 PWM 方波,如图 3 所示. 根据设置的匹配值不同,从而可以导致输出不同占空比的 PWM 波形,有着较高的灵活性.

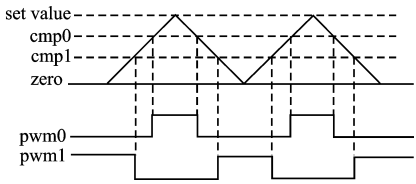


图 3 PWM 波形示意图

死区时间是指 PWM 输出时,为了使得 H 桥或者半 H 桥的上下管不会因为开关速度问题发生同时导通而设置的一个保护时段^[4]. 死区插入模块就是为了避免上下管同时导通这种情况的出现才引入进来的,起到一个保护电路的作用^[5]. 本文简单设计一个计数器来产生死区时间,以减少硬件资源. 死区时间的大小可由计数器内设置的值来确定. 该死区插入模块工作原理如下:当一对 PWM 方波信号输入到死区插入模块内,过滤掉输入的第二个 PWM

信号,经死区插入模块处理后的一对 PWM 信号都是以原始输入的第一个 PWM 信号为基准. 处理后的第一个 PWM 波形的上升沿与原始输入的第一个 PWM 波形上升沿相差一个延迟设定值,下降沿则保持不变;处理后的第二个反相 PWM 波形的下降沿与处理后的第一个 PWM 波形的上升沿也相差一个延迟设定值,而上升沿与原始输入的第一个 PWM 波形的下降沿相差一个延迟设定值,如图 4 所示(延迟值直接由软件可配).

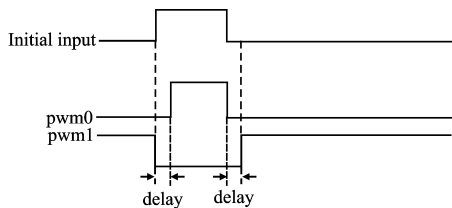


图 4 死区插入延迟示意图

保护监测模块作用是为了能在收到 PWM 模块外部的监测信号后,及时把输出 PWM 信号封堵住. 此时 PWM 输出信号呈高阻态,并且将同时产生一个中断信号,以通知 CPU 进行处理.

3 设计创新

3.1 硬件互联触发机制

在此类变频控制 SoC 芯片中,我们设计在 APB 总线上增加了一个重要的从设备——Event Trigger(事件触发)模块. 这里的事件不是传统意义上软件层面的概念,而指的是在 SoC 中,各个 IP 模块总会在某个时刻会发出要处理某些事情的消息,比如系统的计数器计数溢出,监测到传输数据错误发生,或者片外外设向芯片发信号等等触发事件. 这些发出的信号都将会经过事件触发模块,向各个需要触发的 IP 模块发出触发信号,以触发一些 IP 模块去处理对应的事件. 事件触发模块实际上是由几个多路选择器组成的,然后根据其选择器的使能信号来决定该事件去触发哪个 IP 模块.

PWM 模块产生一个触发信号,经事件触发模块判断裁决后,传给 SoC 中其他 IP 模块,以触发它去处理其他某些事件,如图 5 所示. 举个例子,比如说根据需求,我们想要事件触发模块输出触发信号来触发 ADC(Analog-to-Digital Converter)模块,以驱动 ADC 模块对片外电机的当前电压和电流值进行采样,再通过 DMA 把已采样到的电压电流数据搬运到 SRAM 上储存起来,然后 CPU 再通过读取这些数据,来控制 PWM 模块对其输出波形进行一

系列的相应调整,这样就会形成一个良好的片内闭环反馈回路. 对比于如果是使用软件方式配置产生中断信号,通过 CPU 进入中断服务程序再进行处理,这种触发方式,这样的一种硬件触发形式有非常明显的优势. 系统不仅能够及时采集反馈数据信息,体现为对其实时性的显著提高,也能动态地对 PWM 波形进行及时修正调整,而且还能避免电机上出现过大的电压电流,降低损耗成本. 这也是对整个电路系统提供了一种过流过压保护.

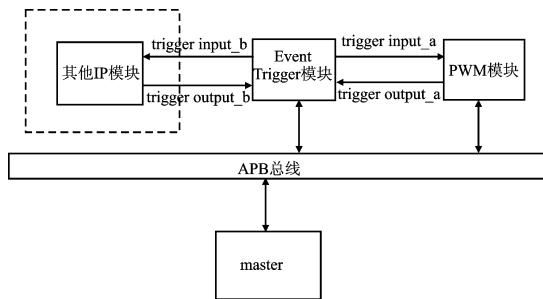


图 5 硬件互联触发机制示意图

3.2 PWM 模块内的资源共享

现代芯片制造工艺技术允许大量的晶体管集成在一块芯片上. 然而,这种复杂性的硬件设计不仅使得设计的周期变长,而且也会使得芯片设计变得很复杂,消耗浪费了很多本来没必要使用的硬件资源^[6]. 由此看来,如何将一个复杂性的过程变得简单化是一件迫在眉睫的事情,而资源复用的方式就是解决这类事情的关键技术. 这里提到的资源复用方式不仅指的是整个 IP 核的可复用性^[7],而且还重点提出了一种 IP 核内的资源也可在片上系统内共享的实现方案. 本文设计的 PWM 模块就是一个典型的实用例子.

PWM 模块内的计数器子模块本身就具有计数计时的功能. 由于很多 IP 模块内部或者 SoC 系统内部一般都会用到计数器这个子模块,所以,当这个计数器在 PWM 模块内无需被占用时,这个计数器可共享出来,暂时分给其他 IP 核作为计数或者计时使用,而这个计数器只需提供一个良好灵活的复用接口即可. 简而言之,就是把 PWM 核当做一个计数器来使用,如图 2 虚线部分所示. 这样不仅不会降低芯片本身的性能,而且整个芯片占用的硬件资源大为减少,功耗也会有所降低,特别契合对芯片低功耗的要求比较高的现实^[8].

核内的资源共享无论是对系统芯片的面积和功耗的减少,还是对设计成本的降低和产品上市时间的缩短都有着巨大的好处.

4 仿真验证结果的简析

4.1 基本的验证环境

该 PWM 模块的验证环境是由 Testbench 和 DUT(Design Under Testbench)这两个部分组成的. Testbench 部分主要是包括了 CPU 和 VIP (Verification IP)模块这两个模块,而 DUT 实际上就是本文设计的 PWM 模块,如图 6 所示. CPU 可通过 APB 总线向 PWM 模块发起读写请求. VIP 模块中的 PWM monitor 模块是用于记录监测 CPU 与 PWM 模块两者在交互时的传输读写行为是否符合预期要求,若能识别出发生了错误的行为,就会在

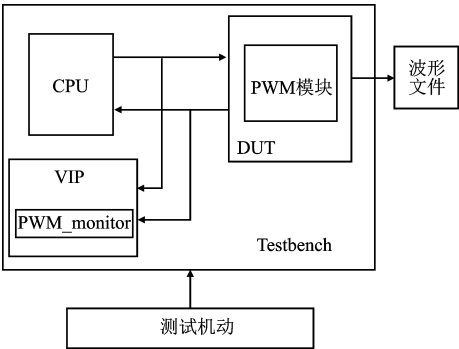


图 6 仿真验证环境示意图

记录程序流的文件上标识出来.

验证环境本身是一个静态的仿真环境,这时就需要在验证环境中加入测试激励,使得整个验证环境工作起来,验证环境通过调用 VCS(Verilog Compile Simulator)仿真工具,从而产生一个波形文件. 可通过 debussy 工具读入波形文件,从而观察总线上的传输行为是否都符合 APB 总线上的传输协议,还有 PWM 模块的输出信号是否是根据配置信息配置好的输出波形.

4.2 实验仿真结果

功能仿真是设计验证的主要形式. 在这里主要是针对该 PWM 模块设计采用功能性验证的方式,采用的仿真工具是 VCS 软件[5].

图 7 和图 8 的仿真波形分别对应着该 PWM 模块的两种模式:PWM 输出模式和输出比较模式,前者是 PWM 模块一般正常的输出模式,而后者是输出值经过计数比较后会产生中断信号的模式. 从图 7 仿真波形中还可看出,通过选择配置不同的计数模式(pwmctl[0])信号置低或置高),从而使得 PWM 信号输出波形的占空比也会有所差异. 这些不同的工作模式都体现该 PWM 模块较高的可配性.

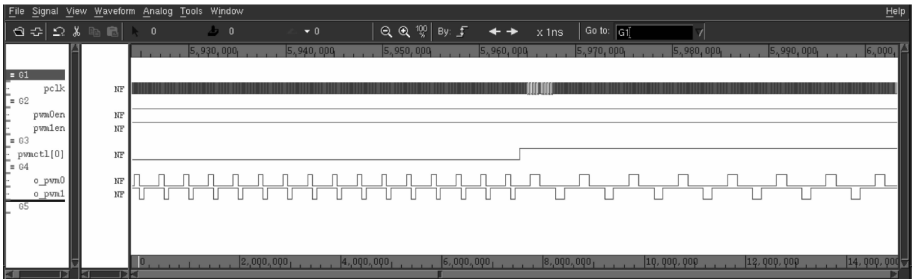


图 7 不同配置下 PWM 输出模式示意图

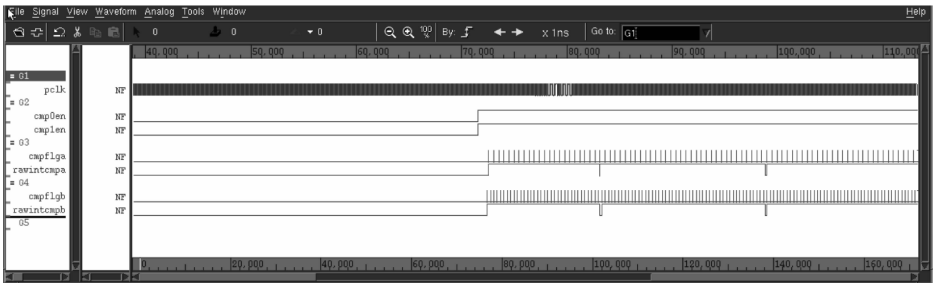


图 8 输出比较模式示意图

仿真试验分别给出硬件和软件两种不同触发方式,去触发 ADC 模块采样的波形结果. 从仿真波形结果对比可看出,硬件触发方式触发所消耗的时间

大概为 4 700 多个时钟周期,而软件触发消耗的时间大概为 11 000 多个时钟周期,其中 10 ns 为一个时钟周期. 由此可得出,软件触发消耗的时间大约为

硬件触发的两倍多,软件触发的滞后性不能及时地响应系统的请求,不利于整个 SoC 的正常工作.因此,利用硬件触发的这种机制不仅对于 PWM 模块有着天然的好处,而且能够进一步提高系统的实时性.

仿真结果表明该 PWM 模块的功能不仅与预期中的功能相吻合,而且在 IP 核可配性和实时性上对比有了明显的提高.在仿真平台上验证之后,还可以继续在 FPGA 板上进行板级验证.因为在板级验证过程中,近似真实的工作环境可能会把软件仿真中没有能够暴露出来的问题给显露出来.这样软硬件协同验证,更符合整个验证工作的流程,最大化地排除设计上的缺陷.

5 结束语

本文设计的 PWM 模块不仅本身就具有可靠的通用性,接口设计灵活,可移植性好,而且有着多种输出模式下的高可配性和良好的实时性;另一方面还能跟其他 IP 核进行互联通信,以提高各 IP 核之间的互联性.另外,本设计并没有占用过多的硬件资源,最大限度地减少了芯片的面积.此设计比传统的 PWM 模块有优势,但仍然存在着许多问题需要解决,如 PWM 模块输出的稳定性,优化设计算法和计数器同步问题等等.这些问题需要我们下一步去改善提高.

参考文献:

- [1] 周悦. 基于 SoC 的 IP 软核设计与验证[D]. 西安:西安电子科技大学,2007.
- [2] 宋延强,刘川来,李思昆,等. SoC 设计中的 IP 核复用技术研究[J]. 青岛化工学院学报,2003,23(3):260-263.
- [3] 包明,包奎. 实现 PWM 脉宽调制的 FPGA 芯片研制[J]. 电工技术,2003,23(6):30-31.
- [4] 曹阳,李晓辉,王力纬,等. 基于 AMBA 总线的脉冲调制控制器 IP 核的设计与实现[J]. 武汉大学学报(理学版),2007,53(3):369-274.
- [5] 吴胜龙. 基于 APB 总线的通用 PWM 核设计与实现[D]. 济南:山东大学,2010.
- [6] 胡海兵,姚文熙,江辉鸿,等. 任意路通用 PWM 波形发生器的设计[J]. 电工技术学报,2008,23(12):115-119.
- [7] 陈伟,邹云屏,耿攀. 三相 PWM 整流器的死区效应分析及补偿方法[J]. 高电压技术,2009,35(5):1156-1163.
- [8] 邓清秀,文小玲. 基于 FPGA 的三相 PWM 发生器的实现方法探讨[J]. 武汉化工学院学报,2006,28(1):67-70.
- [9] Miguel A Sanchez, Marisa Lopez-Vallejo, Carlos A iglesias, et al. Improving hardware reuse through XML-based interface encapsulation[C]// 2012 IEEE 17th International Conference on Engineering of Complex Computer Systems. Paris:IEEE,2012:49-56.
- [10] 史江义. 基于 IP 核的 SOC 设计关键技术研究[D]. 西安:西安电子科技大学,2007.
- [11] 候立刚. SOC 芯片低功耗设计及功耗估计若干问题研究[D]. 北京:北京工业大学,2007.

作者简介:

翁崇杰 男,(1990-),硕士研究生. 研究方向为数字集成电路设计.

熊晓明(通讯作者) 男,(1959-),教授. 研究方向为集成电路设计及电子设计自动化.

E-mail: xmxiong@gdut.edu.cn.

马德 男,(1985-),讲师. 研究方向为片上系统设计.

(上接第 153 页)

作者简介:

李佳宣 女,(1990-),硕士研究生. 研究方向为并行计算、云计算、分布式集群系统. E-mail: lijiaxuan09@aliyun.com.

郑晓薇 女,(1957-),教授. 研究方向为并行计算、云计算、分布式集群系统.

张永 男,(1975-),副教授. 研究方向为云计算、数据挖掘.